

交换机 56G PAM4 前端口 设计方案研究白皮书

开放数据中心委员会

2023-09 发布

版权声明

ODCC（开放数据中心委员会）发布的各项成果，受《著作权法》保护，编制单位共同享有著作权。

转载、摘编或利用其它方式使用 ODCC 成果中的文字或者观点的，应注明来源：“开放数据中心委员会 ODCC”。

对于未经著作权人书面同意而实施的剽窃、复制、修改、销售、改编、汇编和翻译出版等侵权行为，ODCC 及有关单位将追究其法律责任，感谢各单位的配合与支持。

www.ODCC.org.cn

编写组

项目经理：

刘军

篆芯半导体

工作组长：

郭亮

中国信息通信研究院

贡献专家：

郭亮

中国信息通信研究院

王星

篆芯半导体

柳雷

篆芯半导体

潘君

长沙星融元数据技术有限公司

刘军

思科科技（北京）有限公司

张超

思科科技（北京）有限公司

蒋星

思科科技（北京）有限公司

龚传奇

东莞立讯技术有限公司

刘继军

东莞立讯技术有限公司

程伟强

中国移动

王瑞雪

中国移动

文旭

中国电信

包贵新

百度

黄一元

阿里

陈亮

阿里

崔鹏

腾讯

孙玉勤

京东

陈琤

京东

邱子隽

快手

www.ODCC.org.cn

岳树焯

何强

杨凯

程晓光

吴迅亮

石博文

刘彪明

美团

英伟达

浪潮信息

浪潮信息

浪潮思科

华勤技术

华勤技术



www.ODCC.org.cn



前言

随着信号速率上升到 56G-PAM4，交换机前端口设计，尤其是信号集成，制作工艺等也变得越来越有挑战。相较于上一代基于 25G-NRZ 的前端口技术，现有技术的信号速率从 25G-NRZ 上升到 56G-PAM4，前端口在通道密度上也演进出两条技术路线：基于四通道的 QSFP56 设计，和基于双密度 8 通道的 QSFP-DD 设计。

2016 年，QSFP-DD MSA 小组开始计划开发 QSFP-DD 高速接口，之后该国际组织发布了包含图纸在内的 QSFP-DD 硬件规格的 1.0 版本。发展至今，QSFP-DD MSA 已较为完善，各大领先的光模块厂商的 QSFP-DD 光模块先后上市，相较于 QSFP 高速接口，QSFP-DD 的高密度优势使其迅速占领了市场中的重要地位。

目前主流的 QSFP-DD 高速接口连接器分为插针型和表贴型两种。插针型连接器在制作 PCB 时，需要给连接器插入接触的通孔保留一定的金属长度，以保证其安装的稳定性。而表贴型连接器的设计不存在此类问题，在连接过孔的设计上较为灵活。在其生产制作上，表贴型连接器在 PCB 上的设计制造由于有明显的成本优势而成为行业内的研究重点。

采用 4 通道连接器的交换机设计既可以平滑升级到 56G-PAM4 交换机；也可以平滑升级到下一代 112G-PAM4 交换机。

本白皮书研究了市场上 QSFP-DD 正反表贴型连接器的发展现状，对比分析了 QSFP-DD 高速接口在 PCB 设计上的多种技术方案，旨

在为交换机设计人员提供较为全面的高速 400G 连接器贴装法的技术参考。



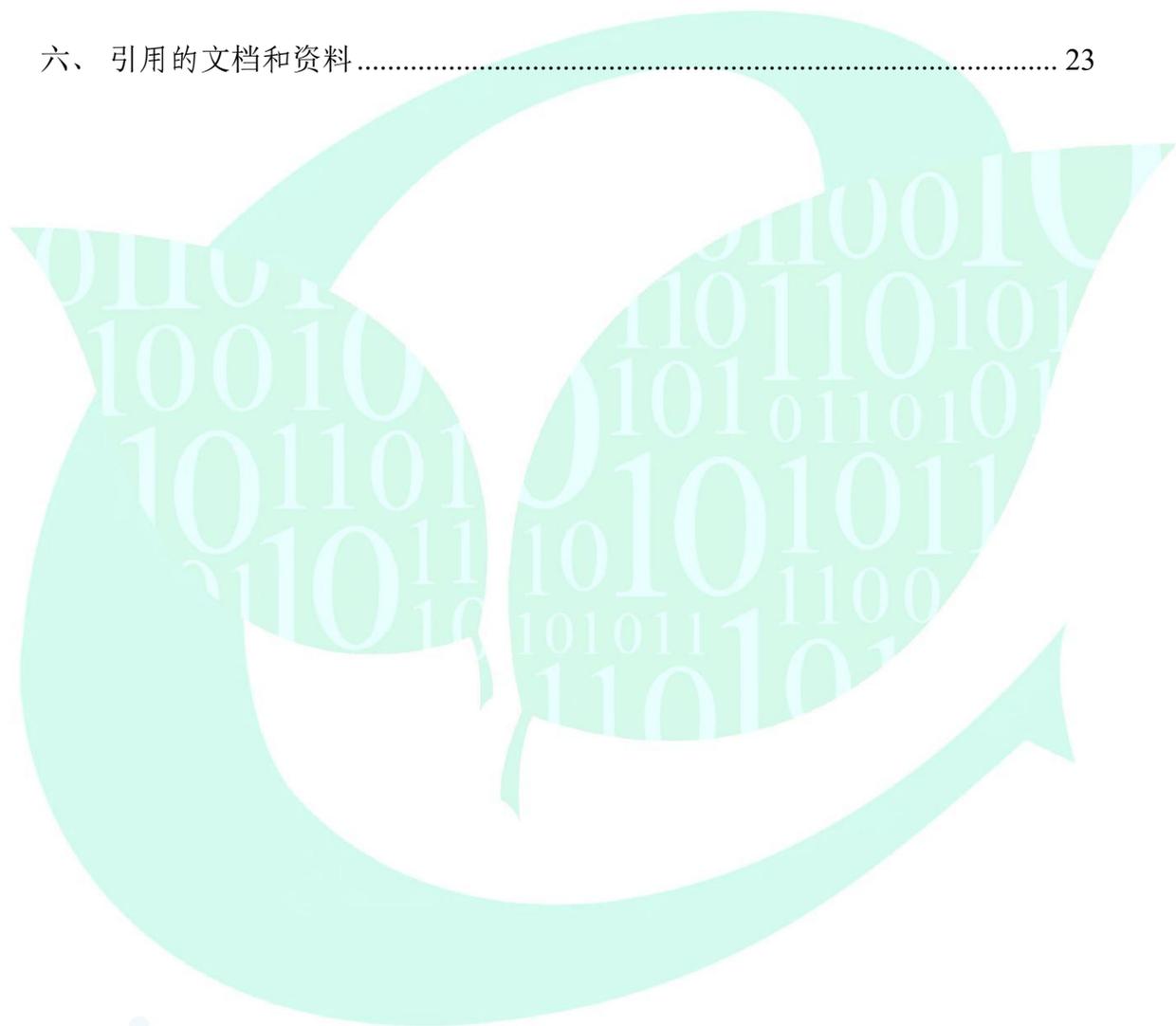
www.ODCC.org.cn



目 录

版权声明	I
编写组	II
前 言	IV
一、项目背景	1
二、项目目标	2
三、专用术语	2
四、QSFP-DD 背对背贴装技术方案综述	2
(一) 前端口设计技术路线的行业现状	2
1. PCB + 扣板方案	3
2. PCB + Flyover cable 方案	4
3. 插卡方案	4
(二) 8 通道前端口 QSFP-DD 背对背贴装解决方案	5
(三) 基于 QSFP-DD 前端口的 PCB 设计的相关技术方案分析	6
1. 插针型方案	6
2. 表贴方案一	7
3. 表贴方案二	8
4. 表贴方案三	10
5. 表贴方案四	11
6. 表贴方案五	14
(四) 前端口为 4 通道与 8 通道实现的交换机方案对比	15
(五) 不同 QSFP-DD 前端口方案成本对比	15
(六) 小结	16

五、 4 通道、8 通道前端口仿真与测试.....	16
(一) 信号完整性仿真.....	17
(二) 测试板制作及测试环境.....	20
(三) 测试结果.....	22
六、 引用的文档和资料.....	23



www.ODCC.org.cn

交换机 56G PAM4 前端口设计方案研究白皮书

一、项目背景

随着全球数据中心的发展和大规模的部署，数据中心的硬件成本和运营成本大幅度增加，降本增效越来越得到用户的重视。数据中心希望能用更大的带宽实现互联。相较于 4 通道的高速接口如 QSFP56，8 通道的 QSFP-DD 在同样横截面大小的接口上可获得双倍于 QSFP56 的带宽。

一方面 QSFP-DD 技术具有低功耗、低延时、易于部署、低成本等优势。例如，原有的 4RU 128 个端口 x 200G 的交换机，通过使用 SMT 2x1 QSFP-DD 高速连接器可设计成 2RU 64 个端口 x400G 的交换机。由于交换机内部所需高速板材，板间连接器以及外部的光模块数目都可以减少，从而降低了交换机的制作和运营成本。

另一方面，在使用 QSFP-DD 背对背贴装时，其高密度的特性会对 PCB 连接器处的信号集成设计带来极大的挑战。

目前市场上 4 通道前端口和 8 道前端口两种技术路线同时并行演进。鉴于背对背贴装的 8 通道前端口技术的成本优势，解决 QSFP-DD 背对背贴装时连接器处高速信号扇出的技术问题，成为了行业内的研究热点。

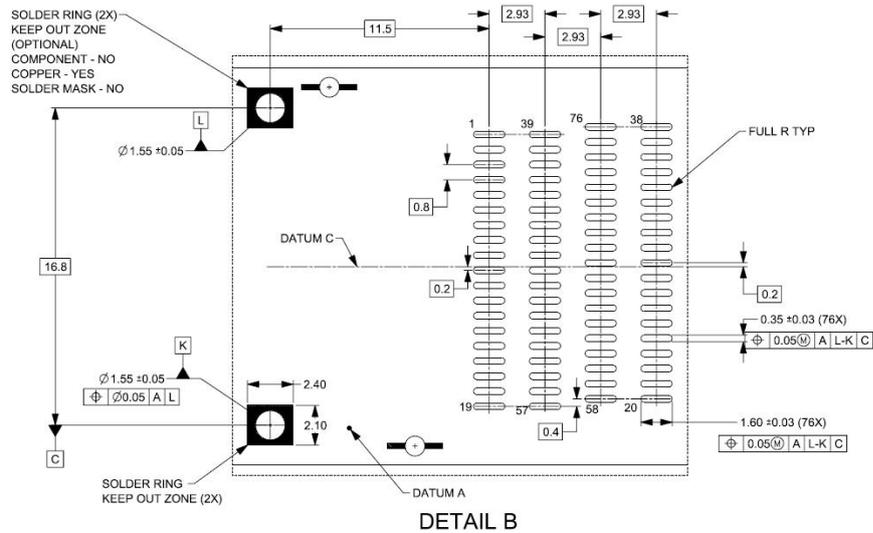


Figure 72: SMT host PCB layout

图 1 QSFP-DD SMA 定义的 QSFP 在 PCB 上的足迹引脚

二、项目目标

QSFP-DD 背对背贴装技术的设计目标是实现前端口带宽翻番；降低硬件成本，提高运营效率。

三、专用术语

本白皮书使用的专业术语说明：

QSFP	Quad Small Form factor Pluggable
QSFP-DD	QSFP-Double Density
SMT	Surface Mount Technology
VIPPO	Via-in-Pad Plated Over

四、QSFP-DD 背对背贴装技术方案综述

(一) 前端口设计技术路线的行业现状

国内互联网企业数据中心在构建数据中心交换机的互联部分，以 4 通道的前端口为常见，如：QSFP28，QSFP56 等。4 通道前端口

由于在连接器处的扇出实现相比 8 通道在信号集成上难度相对较低，易于硬件设计实现。



图 2 128 个 4 通道前端口的交换机

为实现上图交换机的设计，有多种技术方案可选：

1. PCB + 扣板方案

此方案需要 4RU 高度的机箱，前端口选用 4 通道连接器，在机器中间设置一张交换主板，然后在其上方和下方各设置一张扣板，扣板与主板之间使用扣板连接器进行连接。该方案的优点是方案成熟、端口散热无风险；可改进之处是 C2M 链路需要通过一级连接器，信号集成实现有一定难度，且存在扣板连接器选型以及加工可靠性的技术问题。

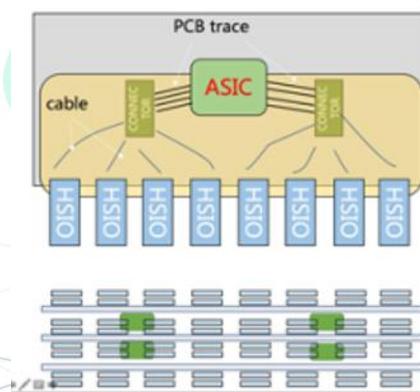


图 3 PCB +扣板方案示意图

2. PCB + Flyover cable 方案

该方案需要 4RU 高度的机箱，前端口使用 4 通道连接器，在机器下半部分中部设置一张交换主板，然后通过 Flyover cable 构建机器上半部分的前端口。该方案线缆无信号集成风险，但整机实现有难度且成本相对较高。

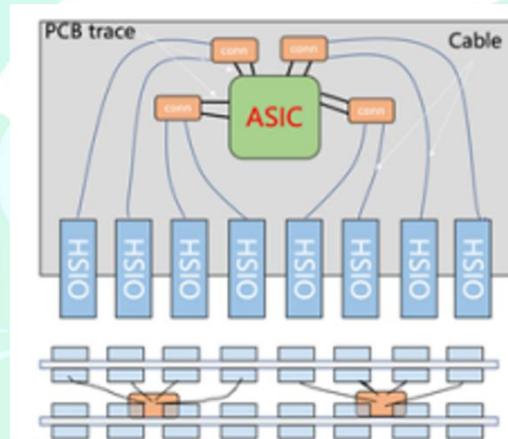


图 4 PCB +Flyover Cable 方案示意图

3. 插卡方案

该方案需要 4RU 高度的机箱，前端口使用 4 通道连接器，在机器后部中间设置一块交换主板，通过板间正交连接器连接 8 块子板。每块板上需要有 PHY 作为高速信号的中继。此方案成熟，架构简单，端口灵活，无技术难点，但相对功耗较大，并且成本高。

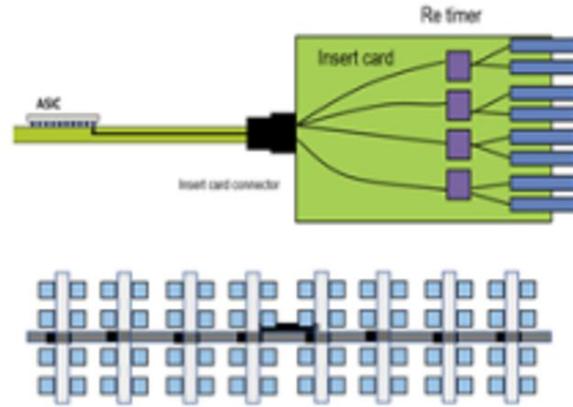


图 5 插卡方案示意图

上述数据中心核心设备可选方案在前端口均可使用 4 通道的连接器实现，在连接器处的高速信号扇出处均不存在信号集成风险。

（二）8 通道前端口 QSFP-DD 背对背贴装解决方案

此方案在实现上述交换机同等带宽时，只需要 2RU 高度，前端口使用 8 通道连接器。在机器中间只需设置一块交换主板，主板两端背对背贴装堆叠的 QSFP-DD 连接器。此方案架构简单、机箱成本最低。其限制在于只能实现 8 通道前端口的连接器方案。且技术难点在于 PCB 布线在连接器处的扇出技术难度较大。

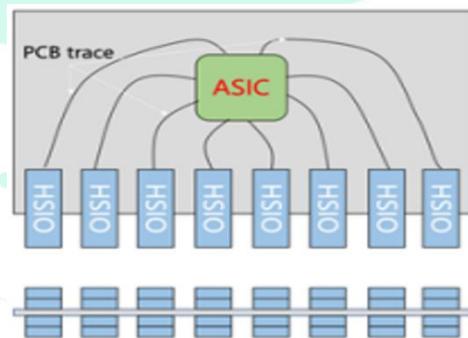


图 6 8 通道前端口 QSFP-DD 背对背贴装解决方案

（三）基于 QSFP-DD 前端口的 PCB 设计的相关技术方案分析

1. 插针型方案

该方案可以实现双倍密度 QSFP56 的走线在连接器处完全扇出，由于该连接器属于插针型连接器，需要在 PCB 上的特定位置设置特定形状的过孔，且不能对该孔进行信号完整性优化。为保证插针的安全可靠性，需要给过孔保留一段较长深度，其背钻残桩必须满足上述要求。因此其第 3 层不能作为高速信号的扇出走线层，从而增加了 PCB 的叠层层数与厚度，为 PCB 的制作和生产带来挑战并使 PCB 最终成本上升。

该方案由连接器厂家推出，由于连接器和底板耦合度较高，故在实际操作中，作为典型参考设计，在国内使用较为普遍。

No. of layers – 26
 Board thickness -168.18 mil
 Material – Megtron6(Dk-3.42/Df-0.006)
 Trace Impedance – 100 Ohm
 Trace width/spacing – 4 mil/4 mil
 Low Speed Layers– L3 & L24
 High Speed Layers – L5&L7& L9&L11&L16& L18&L20&L22
 Signal via stub length – 12 mil (MAX)

Name	Type	Thickness (mil)	Material	Conductivity (S/in)	Dielectric FR	Dielectric constant	Loss tangent	Transparency	Etchation (mil)
UNWARD_2	DI-ELECTRIC	0.5	CDS_SOLDERMASK	0	0.019	3.5	0.019	68	170.18
TOP	METAL	2	CDS_COPPER	5.959E-07	CDS_SOLDERMASK	3.5	0.019	68	168.18
UNWARD_4	DI-ELECTRIC	4.12	CDS_MEGA_PREPREG_T0	0	3.22	0.006	65	168.18	164.06
L2-SD1	METAL	2.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.22	0.006	65	161.48
UNWARD_5	DI-ELECTRIC	5.9	CDS_MEGA_CORE_RTF	0	3.42	0.006	65	158.56	154.44
L3LOWPREED1	METAL	1.3	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.22	0.006	65	154.28
UNWARD_8	DI-ELECTRIC	4.76	CDS_MEGA_PREPREG_T0	0	3.22	0.006	65	148.5	144.38
L4-SD2	METAL	2.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.22	0.006	65	148.5
UNWARD_10	DI-ELECTRIC	5.9	CDS_MEGA_CORE_HALF	0	3.42	0.006	65	144.1	140
L5-SD3	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.22	0.006	65	140
UNWARD_12	DI-ELECTRIC	4.76	CDS_MEGA_PREPREG_T0	0	3.22	0.006	65	135.64	131.52
L6-SD3	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.22	0.006	65	135.64
UNWARD_14	DI-ELECTRIC	5.9	CDS_MEGA_CORE_HALF	0	3.42	0.006	65	131.16	127.04
L7-SD2	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	127.04
UNWARD_16	DI-ELECTRIC	4.77	CDS_MEGA_PREPREG_T0	0	3.21	0.006	65	122.57	118.44
L8-SD4	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	122.57
UNWARD_18	DI-ELECTRIC	5.9	CDS_MEGA_CORE_HALF	0	3.42	0.006	65	117.27	113.14
L9-SD3	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	113.14
UNWARD_20	DI-ELECTRIC	4.77	CDS_MEGA_PREPREG_T0	0	3.21	0.006	65	108.67	104.54
L10-SD3	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	108.67
UNWARD_22	DI-ELECTRIC	5.9	CDS_MEGA_CORE_HALF	0	3.42	0.006	65	104.19	100.06
L11-SD4	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	104.19
UNWARD_24	DI-ELECTRIC	4.77	CDS_MEGA_PREPREG_T0	0	3.21	0.006	65	99.72	95.59
L12-SD4	METAL	2.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	99.72
UNWARD_26	DI-ELECTRIC	5	CDS_MEGA_CORE_RTF	0	3.64	0.006	65	95.24	91.11
L13-SD1	METAL	2.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.24	0.006	65	91.11
UNWARD_28	DI-ELECTRIC	6.88	CDS_MEGA_PREPREG_T0	0	3.64	0.006	65	86.64	82.51
L14-SD2	METAL	2.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.24	0.006	65	82.51
UNWARD_30	DI-ELECTRIC	5	CDS_MEGA_CORE_RTF	0	3.64	0.006	65	78.04	73.91
L15-SD1	METAL	2.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	73.91
UNWARD_32	DI-ELECTRIC	4.77	CDS_MEGA_PREPREG_T0	0	3.21	0.006	65	69.44	65.31
L16-SD2	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	65.31
UNWARD_34	DI-ELECTRIC	5.9	CDS_MEGA_CORE_HALF	0	3.42	0.006	65	60.84	56.71
L17-SD3	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	56.71
UNWARD_36	DI-ELECTRIC	4.77	CDS_MEGA_PREPREG_T0	0	3.21	0.006	65	52.24	48.11
L18-SD4	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	48.11
UNWARD_38	DI-ELECTRIC	5.9	CDS_MEGA_CORE_HALF	0	3.42	0.006	65	43.64	39.51
L19-SD3	METAL	2.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	39.51
UNWARD_40	DI-ELECTRIC	4.77	CDS_MEGA_PREPREG_T0	0	3.21	0.006	65	35.04	30.91
L20-SD7	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.21	0.006	65	30.91
UNWARD_42	DI-ELECTRIC	5.9	CDS_MEGA_CORE_HALF	0	3.42	0.006	65	26.44	22.31
L21-SD10	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.22	0.006	65	22.31
UNWARD_44	DI-ELECTRIC	4.76	CDS_MEGA_PREPREG_T0	0	3.22	0.006	65	17.84	13.71
L22-SD8	METAL	0.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.22	0.006	65	13.71
UNWARD_46	DI-ELECTRIC	5.9	CDS_MEGA_CORE_HALF	0	3.42	0.006	65	9.24	5.11
L23-SD11	METAL	2.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.22	0.006	65	5.11
UNWARD_48	DI-ELECTRIC	4.76	CDS_MEGA_PREPREG_T0	0	3.22	0.006	65	0.64	0.51
L24-LOWPREED3	METAL	1.3	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.22	0.006	65	0.51
UNWARD_50	DI-ELECTRIC	5.9	CDS_MEGA_CORE_RTF	0	3.64	0.006	65	0.04	0.01
L25-SD12	METAL	2.6	CDS_COPPER	5.959E-07	CDS_MEGA_PREPREG_T0	3.25	0.006	65	0.01
UNWARD_52	DI-ELECTRIC	4.12	CDS_MEGA_PREPREG_T0	0	3.25	0.006	65	0.01	0.01
BOTTOM	METAL	2	CDS_COPPER	5.959E-07	CDS_SOLDERMASK	3.5	0.019	68	0.01

图 7：插针型连接器推荐使用的叠层信息

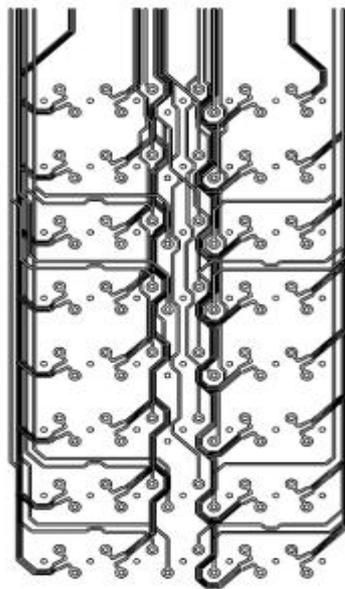


图 8：插针型连接器处所有走线扇出叠加示意图

2. 表贴方案一

该方案通过使用多次层压的高级 PCB 制作工艺，分别制作 PCB 叠层的上半层和下半层，通过这种方式制作的上半层的过孔和下半层的过孔在水平方向不存在相互间制作工艺的限制以及信号完整性问题。该方案可以很好的解决 QSFP-DD 背对背贴装连接器处的高速信号扇出问题，但多次层压会对 PCB 制作工艺带来挑战从而大幅提高了整个 PCB 的制作成本。

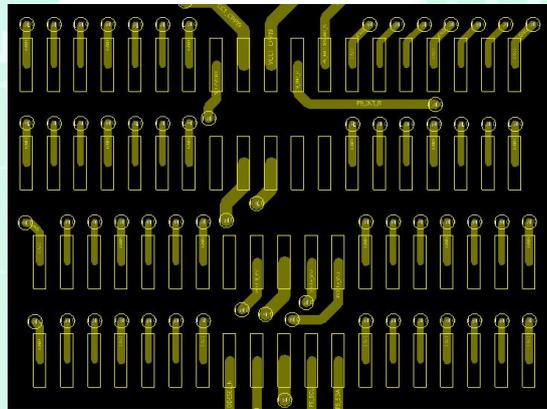


图 9 表贴方案一：QSFP-DD 背对背贴装顶表面网格示意图

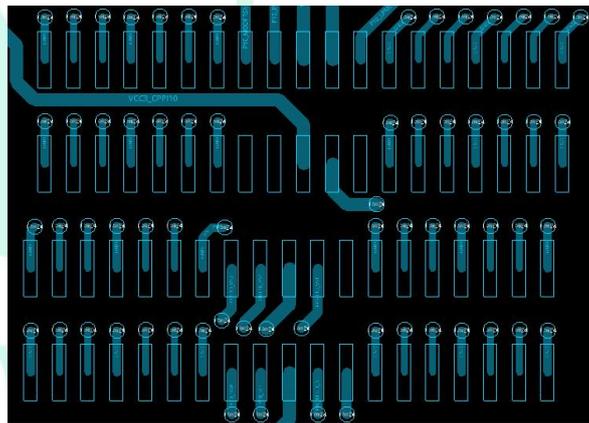


图 10 表贴方案一：QSFP-DD 背对背贴装底表面网格示意图

3. 表贴方案二

该方案在 PCB 顶层表面和底层表面分别设置一个或多个盲孔；通过各盲孔扇出分别贴装于 PCB 的顶层表面和底层表面的两个待贴部件的一个或多个信号线；盲孔的数量和位置根据 PCB 的顶层表面或底层表面上贴装部件时布线空间的大小进行配置；PCB 的顶层表面或底层表面设有将待贴装部件中未通过盲孔扇出的信号线进行扇出的一个或多个过孔。该方案利用盲孔和通孔相结合的方式，解决了在 PCB 表层，底层相同位置同时安装 QSFP-DD 连接器时信号线的顺利扇出，并保证了较好的信号完整性。

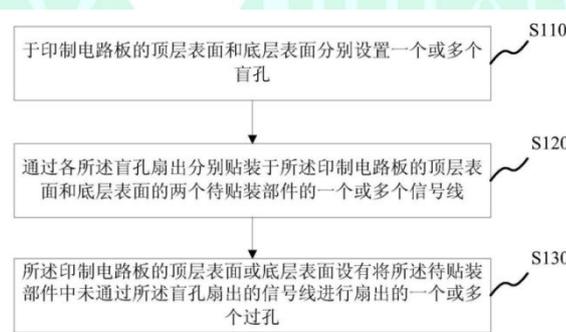


图 11 表贴方案二：流程示意图

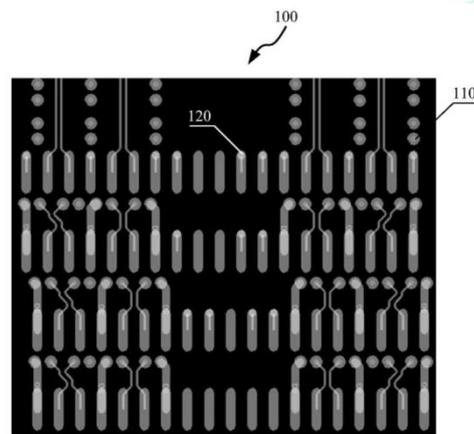


图 12 表贴方案二：在顶表面的贴装网格示意图

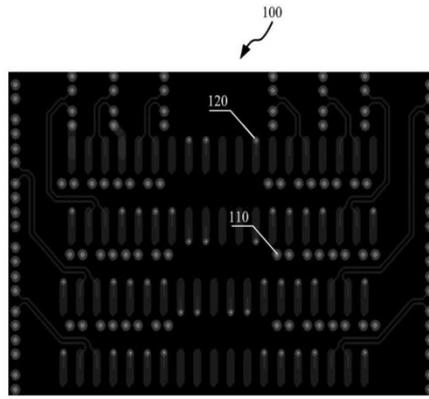


图 13 表贴方案二：在底表面的贴装网格示意图

4. 表贴方案三

该方案分析了 QSFP-DD 背对背贴装连接器在顶表面和地表面所有信号沿同一方向扇出的缺点，指出需要在顶表面和地表面在不同方向的扇出，同时利用盲孔这种高级 PCB 技术，实现了在有限空间内同时扇出顶表面信号和底表面信号，该方案可以有效地实现 QSFP-DD 背对背贴装连接器所有高速线的扇出，但是在某些情况下需要给回流地孔也设置盲孔，从而影响到了回流路径和阻抗控制。

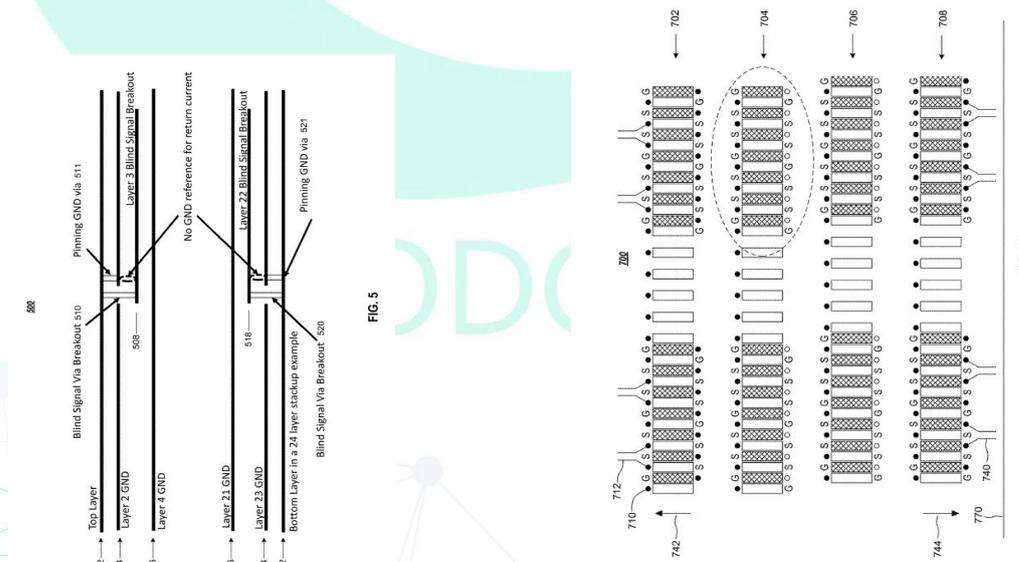


图 14 表贴方案三：焊盘及切面方案示意图

5. 表贴方案四

该方案在 PCB 顶表面和底表面的连接器引脚足迹指向的两个 180 度相反方向设置高速信号过孔，同时为满足高速信号线扇出的需求，利用盘中过孔的高级 PCB 制作技术来设置表底两层的不同电连接过孔，最大程度保证了相邻两层焊盘之间的空间可以被一对高速信号线安全通过。在对电连接过孔背钻时，对背钻的一面周围的连接器在 PCB 上的引脚足迹进行了削盘处理，以此保证背钻过程的生产安全性。该方案利用焊盘的两个方向设置电连接过孔出线的方式，有效降低了单方向高速信号线高密度扇出带来的问题，同时利用盘中孔等高级 PCB 制作技术，保证了高速信号在背对背贴装 QSFP-DD 连接器处扇出满足信号完整性要求，而成为一种非常有效的技术方案。

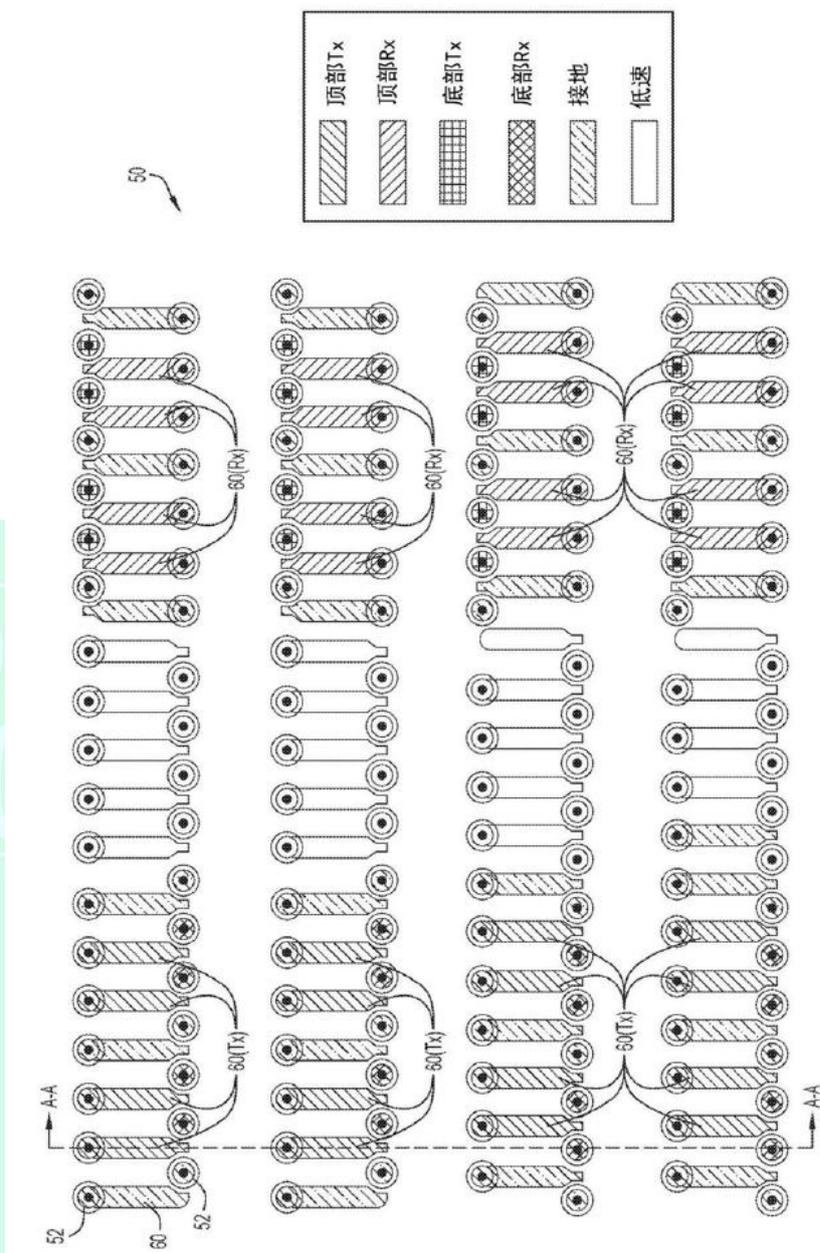


图 15 表贴方案四：顶表面足迹引脚排列网格示意图

www.ODCC.org.cn

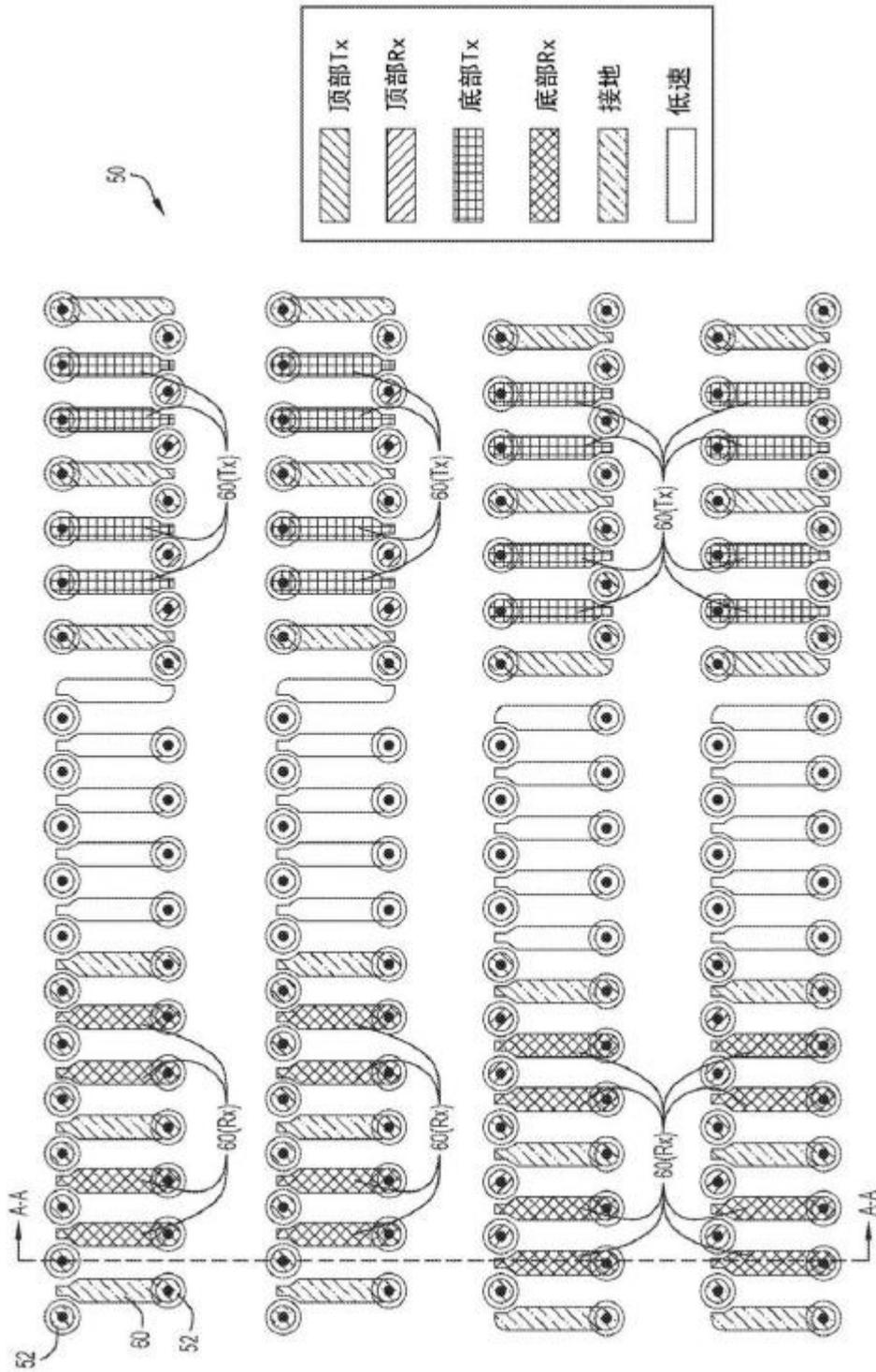


图 16 表贴方案四：底表面足迹引脚排列网格示意图

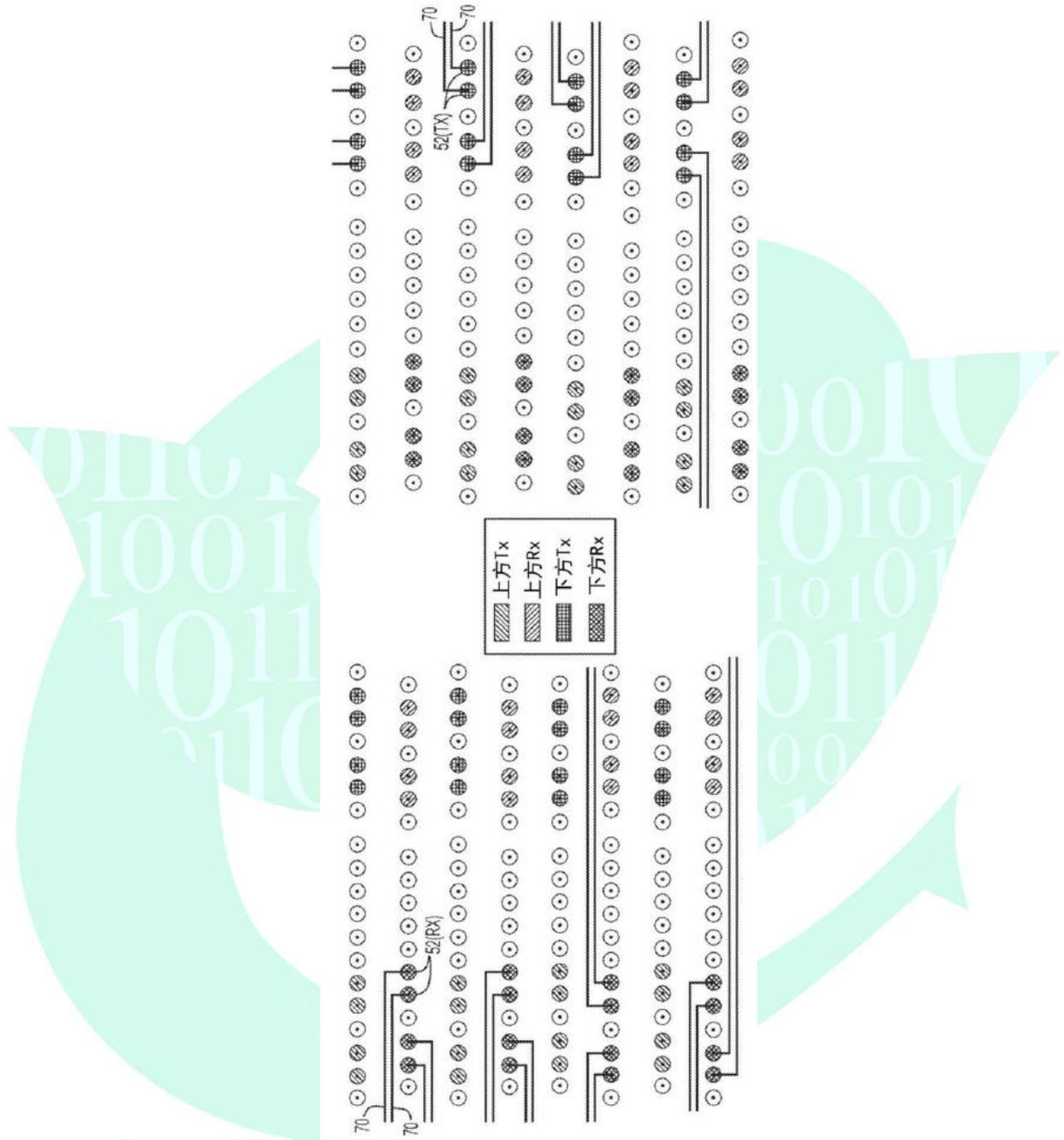


图 17 表贴方案四：在 PCB 中连接器高速信号在其中一个信号层的扇出路由

6. 表贴方案五

表贴方案五在实现技术可行性的前提下，追求极致的成本控制。借助连接器引脚焊盘两个相反方向扇出表层走线的经验，并把个别高速信号孔拉出连接器引脚足迹区域，通过优化设计，在取消了不

必要多次层压，不必要 VIPPO 并且不必要制作盲孔的基础上，实现了 QSFP-DD 背对背贴装连接器的扇出。

鉴于该方案避免使用多次层压、盲孔和 VIPPO 的高级 PCB 技术，从而最大程度节省了 PCB 制作的成本。

（四）前端口为 4 通道与 8 通道实现的交换机方案对比

表 1 4 通道前端口与 8 通道前端口的交换机方案对比如下：

对比项	4 通道方案	8 通道方案
优势：	前端口连接器高速走线密度较低，有多种技术路线可选，易于硬件实现；国内多采用此类方案，有利于平滑升级。	双倍带宽于 4 通道前端口，可以用更少的前端口实现同等带宽交换机的制作，降低了交换机的制作成本和运营成本。
可改进处：	单个前端口的带宽较低，制作同等带宽交换机时需要更多的前端口，增加了交换机制作成本以及运行成本。	高速走线双倍密度于 QSFP 连接器，在连接器的高速信号扇出处的信号完整性问题挑战较大。

从上表可看出，对于高速端口（56Gbps），4 通道前端口方案构建交换机的方案较为成熟，易于硬件实现。8 通道前端口方案如 QSFP-DD 可以在同样横截面的大小实现互联带宽的翻倍，相对 4 通道前端口设计，节省了交换机的制作成本和互联成本。由于 4 通道设计具有历史延续性，成本也由于部署数量较大和成熟的生态链而获得整体下降。

（五）不同 QSFP-DD 前端口方案成本对比

表 2 不同厂商 QSFP-DD 背对背安装方案比较

QSFP 背对背贴装方案	PCB 叠层层数	是否使用 VIPPO	是否使用多层层压	是否使用盲孔	成本评估
--------------	----------	------------	----------	--------	------

插针型方案	26	否	否	否	高
表贴方案一	24	否	是	否	高
表贴方案二	22	是	否	是	中
表贴方案三	22	否	否	是	低
表贴方案四	22	是	否	否	低
表贴方案五	22	否	否	否	优

（六）小结

综上各方案对比分析：

采用 4 通道前端口技术易于硬件实现，互联效率有提升空间，交换机制作成本相对较高。

采用 8 通道前端口技术有效的提高单位面积前端口内的互联带宽；虽然前端口处设计难度较高，但由于最终可以降低交换机制作和互联成本，有助于降本增效，故而成为业内的一种发展趋势。

结论：

8 通道前端口技术方案在提高交换机单位面积端口内的互联带宽，降低交换机的制作成本方面有优势，从组网以及长期看，成本优势更加明显。

4 通道前端口技术方案技术成熟，应用时间久，覆盖面广，通过大规模部署可降低整体成本。

五、4 通道、8 通道前端口仿真与测试

（一）信号完整性仿真

通过仿真的方式研究和分析了 4 通道和 8 通道这两种不同的前端口及相应通道的信号完整性性能。为方便讨论，假设 3 种场景如下：

场景 1：基于传统的 4 通道前端口信号完整性性能。

场景 2：基于传统的 8 通道前端口信号完整性性能。

场景 3：基于表贴方案五下的 8 通道前端口信号完整性性能。

假设仿真通道拓扑如图 17 所示。换层孔模型和内层走线模型在三种场景中完全相同。需要强调的是所有连接器模型包括表贴方案五下的连接器模型，均由国内连接器厂商根据自己模型附带连接器在 PCB 上的足迹引脚来仿真产生。



图 17 三种场景下的仿真拓扑图

常温条件下这三种场景下的损耗情况如图 18 所示。需要注意的是 3 种场景分别有两家连接器厂商提供连接器相应模型用以验证仿真。

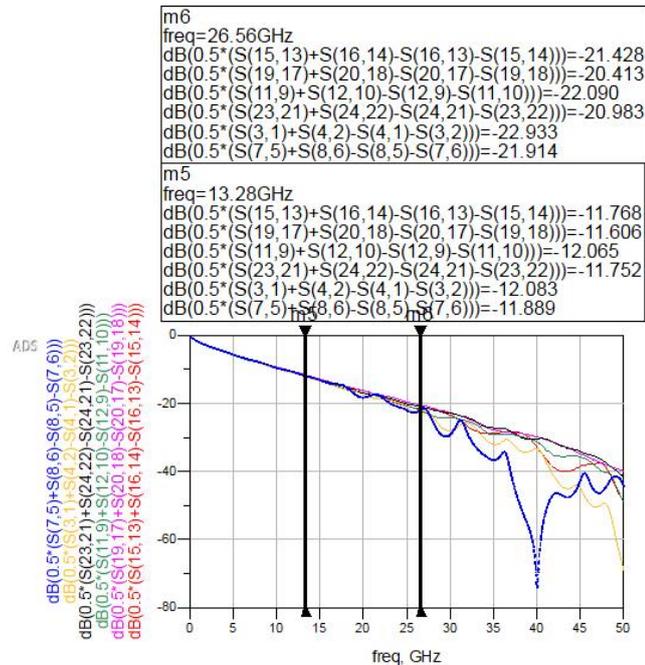


图 18 5 种情况下的通道损耗

这里：红色曲线是场景 1 在基于 Y 厂商 QSFP56 模型的通道总损耗；

紫色曲线是场景 1 在基于 L 厂商 QSFP56 模型的通道总损耗；

绿色曲线是场景 2 在基于 Y 厂商 QSFP-DD 模型的通道总损耗；

黑色曲线是场景 2 在基于 L 厂商 QSFP-DD 模型的通道总损耗；

橙色曲线是场景 3 在表贴方案五下基于 Y 厂商 QSFP-DD 模型的通道总损耗。

蓝色曲线是场景 3 在表贴方案五下基于 L 厂商 QSFP-DD 模型的通道总损耗。

3 种场景 6 类情况下的 Tx 设置和 Rx 设置完全相同，Tx 的 emphasis 是 $[-0.05 \ 0.8 \ -0.15]$, Rx 设置为 IEEE802.3bs 定义的 6dB CTLE。如图 19a 到图 19f 所示，统计眼图分析同样表现出 3 种场景下的 6 类情况下没有明显的区别。

在相同情况下通过无源分析和统计眼图分析，可以得到以下结论：

- 4 通道连接器和 8 通道连接器，从信号完整性角度来看没有明显区别。
- 在 8 通道连接器下，传统贴装法和表贴方案五没有明显区别。

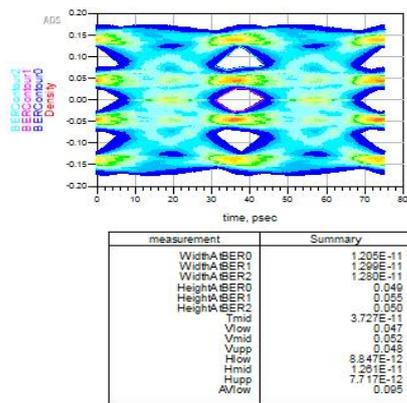


图 19-a:例 1 通道眼图基于连接器厂商 Y

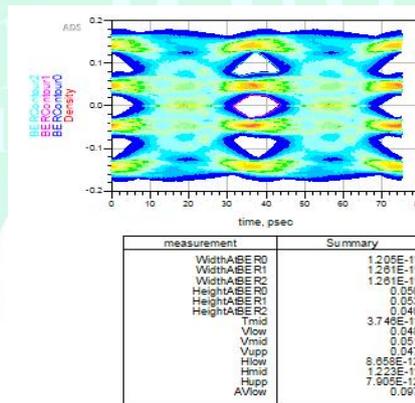


图 19-b:例 1 通道眼图基于连接器厂商 L

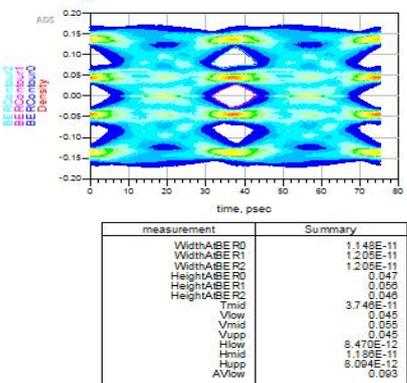


图 19-c:例 2 通道眼图基于连接器厂商 Y

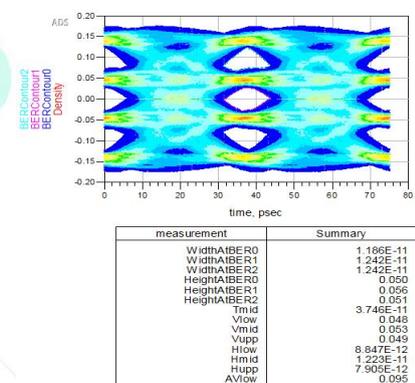


图 19-d:例 2 通道眼图基于连接器厂商 L

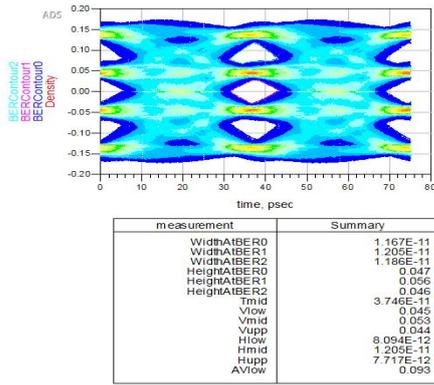


图 19-e:例 2 通道眼图基于连接器厂商 Y

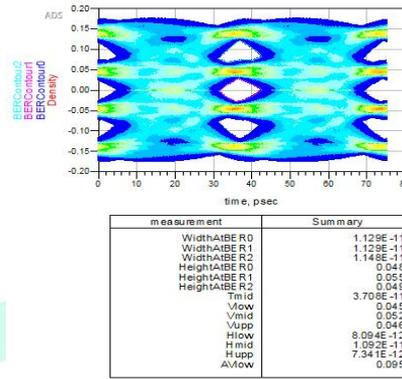


图 19-f:例 2 通道眼图基于连接器厂商 L

表 3 频域仿真与时域仿真对比

Case	频域仿真损耗 @13.28GHz	时域仿真眼高 @BER=1e-6	IEEE 眼高 Spec
例 1-Y	11.768 dB	49 mV	32 mV
例 1-L	11.606 dB	49 mV	
例 2-Y	12.065 dB	46mV	
例 2-L	11.752 dB	50mV	
例 3-Y	12.075 dB	46mV	
例 3-L	11.889 dB	48 mV	

(二) 测试板制作及测试环境

为了验证表贴方案五的信号完整性性能，特别制作测试板并使用先进 SerDes IP 以及高级测试仪表进行测试验证工作，测试环境如图 20 所示。

图 20 所示。

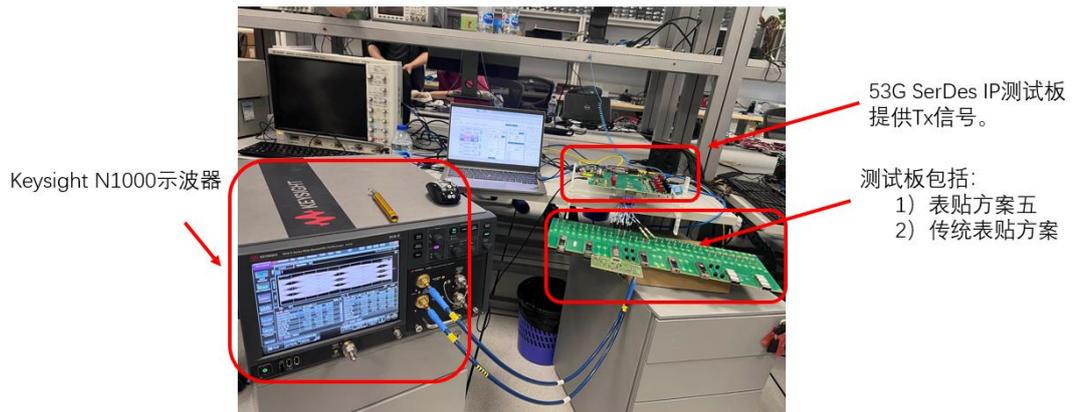


图 20 表面贴装方案测试环境

测试板信息与测试所用设备总结如下表所示。

表 4 测试板信息汇总

测试板的重要元件	属性
材料	Megtron 6G
SMA 连接器	2.4mm SMA
前端口连接器	QSFP-DD 表贴型连接器
走线层位置	内层走线
传输线长度	7 inches

表 5 不同测试环境信息汇总

测试环境	属性
示波器	Keysight N1000
SerDes IP	112G-PAM4 SerDes (降速使用)
环境温度	25 摄氏度

Tx Emphasis	完全相同均为[3,63,9]
Rx CTLE	完全相同均为 6dB

(三) 测试结果

测试板的测试结果如下面图、表所示。可以看到在相同发送端均衡和示波器内相同 CTLE 均衡设置下，表贴方案五的结果相较于传统表贴方案的眼高差了大约 3mV，这与仿真结果的趋势完全一致。从而验证表贴方案五可以在最低成本的基础上实现良好的信号完整性性能。

由于 SerDes IP 对其测试板的知识产权保护，仅对仿真与测试做不同方案趋势分析而非仿真测试对比分析。

表 6 测试结果总结

测试结果	眼高 @BER=1e-5
表贴方案五	51.1 mV
传统表贴方案	53.7 mV

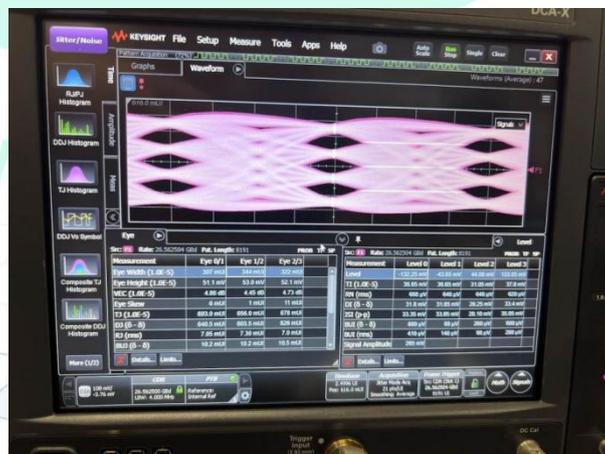


图 21 表贴方案五的测试结果

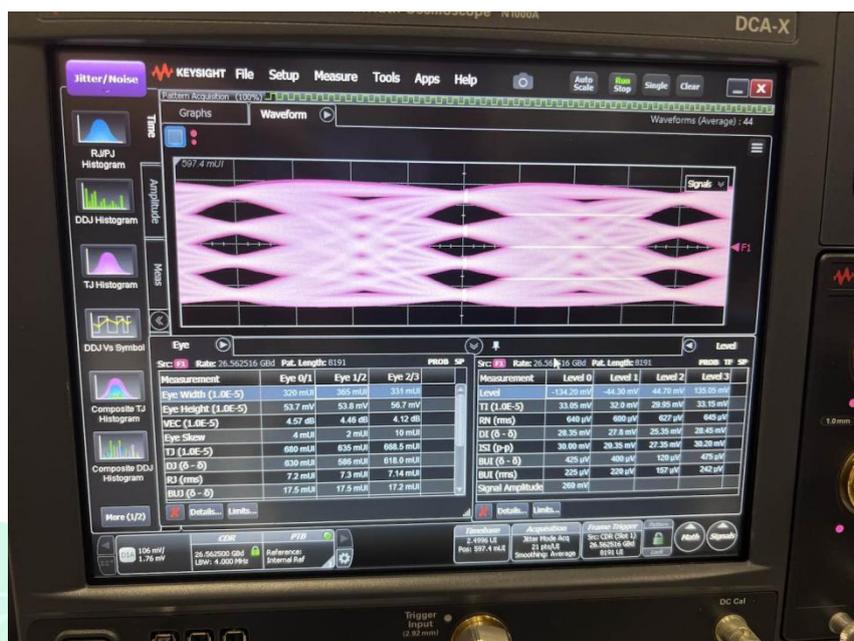


图 22 传统表贴方案的测试结果

六、引用的文档和资料

OCP 组织公开资料；
Molex 连接器公开资料；
中国专利局公开专利资料。

www.ODCC.org.cn



ODCC公众号



ODCC订阅号